

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-294961

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G02F 1/136

G02F 1/133

G09G 3/36

H01L 29/786

(21)Application number : 06-107572

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 22.04.1994

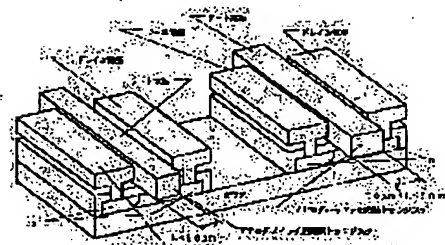
(72)Inventor : KOYAMA JUN  
KAWASAKI YUJI

## (54) DRIVE CIRCUIT AND DESIGN METHOD FOR ACTIVE MATRIX TYPE DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To provide the method to reduce the variance in picture quality of the active matrix type display device.

**CONSTITUTION:** The channel length of only thin film transistors TRS of analog buffers out of thin film TRs of shift registers, analog switches, and analog buffers which constitute a drive circuit is 2 to 4 times as long as the channel length of the other thin film TRS, and LDD areas or offset areas of analog buffers are made smaller than those of the other circuits or are eliminated; and thereby, the variance in threshold of thin film TRs is reduced to reduce the variance in transmittance of liquid crystal, and the variance of the picture quality is prevented.



## LEGAL STATUS

[Date of request for examination] 28.03.2001

[Date of sending the examiner's decision of rejection] 18.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-04521

[Date of requesting appeal against examiner's decision of rejection] 20.03.2003

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The drive circuit of the active-matrix mold indicating equipment characterized by making larger than the channel length of the thin film transistor which forms said analog switch or shift register channel length of a shift register, an analog switch and the analog memory which consists of capacitors, and the thin film transistor that forms said analog buffer in the drive circuit of the active-matrix mold indicating equipment possessing the analog buffer formed by the thin film transistor.

[Claim 2] The design approach of the drive circuit of the active-matrix mold display characterized by adopting the range where the augend of the threshold electrical potential difference of said thin film transistor becomes minute to said channel length's augend about the method of determining of the channel length of the thin film transistor which forms said analog buffer.

[Claim 3] The drive circuit of the active-matrix mold indicating equipment characterized by consisting of thin film transistors with the channel of different die length for every function inside the drive circuit of said active-matrix mold indicating equipment.

[Claim 4] It is the drive circuit of the active-matrix mold display characterized by the analog buffer consisting of source followers in claim 1.

[Claim 5] It is the drive circuit of the active-matrix mold display characterized by the analog buffer consisting of differential amplifier of a feedback mold in claim 1.

[Claim 6] The channel length of the thin film transistor which constitutes an analog buffer in claim 1 is the drive circuit of the active-matrix mold display characterized by carrying out by 2 to 4 times the channel length of the thin film transistor which constitutes devices other than the analog buffer inside said drive circuit.

[Claim 7] The drive circuit of the active-matrix mold display characterized by making smaller than the width of face of the LDD field of the thin film transistor which constitutes the circuit of said others width of face of the LDD field of the thin film transistor which establishes a LDD field in the both ends of the channel of the thin film transistor which constitutes said drive circuit in claim 1, and constitutes said analog buffer.

[Claim 8] The drive circuit of the active-matrix mold display characterized by becoming smaller than the width of face of the offset field of the thin film transistor which constitutes the circuit of said others about the width of face of the offset field of the thin film transistor which establishes an offset field in the both ends of the channel of the thin film transistor which constitutes said drive circuit in claim 1, and constitutes said analog buffer.

[Claim 9] The drive circuit of the active-matrix mold display characterized by not adding a LDD field or offset field to the channel of the thin film transistor which establishes a LDD field in the both ends of the channel of the thin film transistor which constitutes said all drive circuits except said analog buffer in claim 1, and constitutes said analog buffer, either.

[Claim 10] The drive circuit of the active-matrix mold display characterized by not adding a LDD field or offset field to the channel of the thin film transistor which establishes an offset field in the both ends of the channel of the thin film transistor which constitutes said all drive circuits except said analog buffer in claim 1, and constitutes said analog buffer, either.

[Claim 11] It is the drive circuit of the active-matrix mold display characterized by a thin film transistor being either N type or P type in claims 1-10.

[Claim 12] It is the drive circuit of the active-matrix mold display characterized by a thin film transistor being a complementary type in claims 1-10.

[Claim 13] It is the drive circuit of the active-matrix mold display characterized by forming a thin film transistor in a low-temperature process 600 degrees C or less in claims 1-12.

[Claim 14] It is the drive circuit of the active-matrix mold display characterized by forming a thin film transistor in an elevated-temperature process 800 degrees C or more in claims 1-12.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the drive circuit of the active-matrix mold indicating equipment which suppressed dispersion in the property of an analog buffer small especially about the drive circuit of the active-matrix mold indicating equipment constituted by the thin film transistor.

[0002]

[Description of the Prior Art] A pixel is arranged at each intersection of a matrix, the component for switching is prepared in all pixels, and, as for the indicating equipment of a active-matrix mold, that by which image information is controlled by turning on and off of a switching element is said. As a display medium of such a display, liquid crystal, the plasma, the other bodies that can change optical properties (a reflection factor, a refractive index, permeability, luminescence reinforcement, etc.) electrically, and a condition are used. Especially in this invention, the field effect transistor which has a 3 terminal component, i.e., the gate, the source, and a drain is used as a switching element.

[0003] Moreover, in description of this invention, that by which the signal line (gate line) arranged in parallel with the line concerned is connected to the gate electrode of the transistor of the line concerned is called line in a matrix, and that by which the signal line (source line) arranged in parallel with the train concerned is connected to the source (or drain) electrode of the transistor of the train concerned is called train. Furthermore, the circuit which drives a gate drive circuit and a source line for the circuit which drives a gate line is called a source drive circuit. The schematic diagram of the conventional active matrix liquid crystal display is shown in drawing 4.

[0004] In said gate drive circuit, since the signal of the perpendicular direction scan timing of a active-matrix mold display is generated, the shift register of the vertical number of gate lines has connected with one train at the serial. Thus, the thin film transistor in a active-matrix mold indicating equipment is switched in this gate drive circuit. In said source drive circuit, in order to display the horizontal image data of the image data which a active-matrix mold indicating equipment displays, the shift register of the

horizontal number of source lines has connected with one train at the serial. Moreover, said analog switch is turned on and off by the latch pulse which synchronized with the horizontal scanning signal. Thus, the orientation of a sink and a liquid crystal cell is controlled for the current to the thin film transistor in a active-matrix mold indicating equipment in this source drive circuit.

[0005] Fig. 4 explains a common active-matrix mold display. The signal of horizontal scan timing is generated with a shift register X, and a video signal is made to hold to analog memory with said timing signal. The image data held at said analog memory is inputted into an analog buffer to the timing by said latch pulse. Said analog buffer supplies image data to the source line of the thin film transistor in a active-matrix mold indicating equipment to the timing by said latch pulse. On the other hand, the signal of perpendicular direction scan timing is generated, it is inputting a signal into the gate line of the thin film transistor in said active-matrix mold indicating equipment, the current added to the source line of this thin film transistor flows, and a shift register Y determines the orientation of the liquid crystal connected to the drain wire of this thin film transistor. The active-matrix mold display is operating as mentioned above.

[0006] Since the load-carrying capacity of said liquid crystal itself is large and the direct drive of the thin film transistor in a active-matrix mold indicating equipment cannot be carried out with said analog memory, the analog buffer which constitutes said source drive circuit is needed. It is like [ an analog buffer is the circuit which is made to carry out the chisel shift of the input signal as it is or in direct current, and outputs, and can make the output impedance sufficiently low to a load, and / the configuration has some which mainly used the differential amplifier of a source follower mold and a feedback mold, and ] drawing 6 R> 6 and drawing 12 as the example.

[0007] as shown in drawing 6 , the analog buffer of a source follower mold is constituted by connecting a constant current source to the source electrode of the thin film transistor of N type or P type -- having -- output voltage -- input voltage -- receiving -- a part for the electrical potential difference VGS between the gate sources of a thin film transistor -- a voltage drop -- or it goes up. Moreover, since the differential amplifier is used for the analog buffer using the feedback mold differential amplifier as shown in drawing 12 , output voltage and input voltage become equal. However, from a source follower mold, a time delay becomes large and it is not suitable for a high-speed response.

[0008]

[Problem(s) to be Solved by the Invention] The following technical problems occur in the drive circuit of the conventional active-matrix mold display. As shown in drawing 2 , the channel length of the thin film transistor which forms the analog switch and analog buffer in said drive circuit is designed equally respectively. Moreover, by the advance of a current semi-conductor manufacturing technology, in order to raise the degree of integration of a circuit, the design Ruhr also becomes severe, and the channel length of this thin film transistor of said drive circuit is also becoming detailed.

[0009] If the channel length of said analog buffer becomes detailed, the effect of the error of the precision of photograph RISOGURAFU in the manufacture process of a thin film transistor with this channel or etching precision will become large. It asks for change of the channel length of a thin film transistor, and the relation of the threshold electrical potential difference of this thin film transistor from an experiment, and they are shown in drawing 3 . In a thin film transistor, a threshold becomes small, so that channel length L becomes small, and moreover, it turns out that change is so large that it is small.

[0010] Threshold electrical potential difference  $V_{th1}$  of the thin film transistor corresponding to [ if channel length L becomes detailed as shown in drawing 3 , the error of etching precision will produce  $\pm L$  to positive/negative, and ] each aforementioned channel length's value  $V_{th2}$  A difference becomes large, and dispersion in the property of said analog buffer becomes large, and causes display unevenness of the pixel of said active-matrix mold display. Since the electrical potential difference impressed to a liquid crystal device varies only in the part of dispersion in  $V_{th}$  when the drawing of a uniform single color is displayed, this is because it becomes unevenness. The permeability of the liquid crystal device of a normally white and the property of applied voltage are shown in drawing 5 . Only the part of

dispersion width-of-face  $\times V_{th}$  of  $V_{th}$  serves as dispersion in permeability, and is displayed.

[0011] Moreover, if a LDD field or an offset field is put into the thin film transistor which constitutes said analog buffer, since fall of potential occurs according to the source current since it becomes source resistance, and the threshold electrical potential difference  $V_{th}$  becomes large seemingly, those fields will cause dispersion in the threshold electrical potential difference of this thin film transistor. The equal circuit at the time of putting a LDD field or an offset field into drawing 11 at a thin film transistor is shown.

[0012]

[Means for Solving the Problem] In order to solve an above-mentioned technical problem, this invention gives the means shown below. The threshold electrical potential difference of channel length  $L$  of a thin film transistor and this thin film transistor which forms said analog buffer is measured, and it is shown in drawing 3. It is characterized by determining the range of  $L$  that the difference of each threshold electrical potential difference of this thin film transistor corresponding to the error of the positive/negative of the etching precision of channel length  $L$  of the thin film transistor which forms said analog buffer will become minute from drawing 3 R>3 a-b.

[0013] It is characterized by only the channel length of the thin film transistor which adopts the minimum value as channel length among the range of channel length  $L$  where the difference of said threshold electrical potential difference becomes minute, and constitutes said analog buffer manufacturing in this design-Ruhr. If the channel length of the thin film transistor of said analog buffer becomes large, the working speed of this thin film transistor will become slow, but since the working speed of an analog buffer should be just quick to a level period (15kHz - 30kHz), even if channel length's increase, the increment in capacity, and reduction of a drain current arise, it is satisfactory on actuation. Dispersion in the property of said analog buffer can be suppressed as mentioned above.

[0014] In addition, since the channel length of the thin film transistor which forms those, such as said analog switch, logical circuit, etc., does not demand a strict threshold electrical potential difference, it is satisfactory even if it manufactures in the design Ruhr more detailed than the thing of said analog buffer. Moreover, since the working speed of a logical circuit is in inverse proportion to channel length's square, as small channel length's one as possible is good [ a working speed ]. Therefore, 5 micrometers or less are more suitable for the channel length of thin film transistors other than said analog buffer than the relation of the lithography of a liquid crystal device.

[0015] And when the thin film transistor which constitutes said analog buffer has a LDD field or an offset field, it is characterized by making width of face of said LDD field and an offset field smaller than that of other circuits.

[0016]

[Example] First, drawing 7 explains the LDD field of the thin film device used for this invention. Here, a complementary-type inverter circuit is taken for an example. The oxidation silicon film with a thickness of 1000-3000Å was formed as a substrate oxide film on the glass substrate (low alkali glass or quartz glass of Corning 7059 grade etc. is used.). As the formation approach of this oxide film, the spatter in the inside of an oxygen ambient atmosphere was used. However, in order to raise mass-production nature more, the film which decomposed and deposited TEOS by the plasma-CVD method may be used.

[0017] then, a plasma-CVD method and LPCVD -- 300-5000Å of 500-1000Å of amorphous silicon film is deposited preferably, and you left this in 550-600-degree C reducing atmosphere for 4 to 48 hours, and made it crystallize by law After this process, laser radiation may perform and the degree of crystallization may be raised further. And patterning of the silicon film which carried out in this way and was crystallized was carried out, and the island-like fields 1 and 2 were formed. Furthermore, the oxidation silicon film 3 with a thickness of 700-1500Å was formed by the spatter on this.

[0018] Then, the aluminum (a 1wt% Si or 0.1 - 0.3wt% Sc (scandium) is included) film with a thickness of 1000Å - 3 micrometers was formed by electron beam vacuum deposition or the spatter. And the photoresist (for example, Tōkyo adaptation make, OFPR800/30cp) was formed with the spin coat

method. When the aluminum oxide film with a thickness of 100–1000Å was formed in the front face with the anode oxidation method, before formation of a photoresist, adhesion with a photoresist was good, and when forming a porosity anodic oxidation object only in a side face, in the next anodic oxidation process, it was effective in it by controlling leak of the current from a photoresist. Then, patterning of the aluminum film was carried out to the photoresist, and it etched together with the aluminum film and considered as the gate electrodes 4 and 5 and the mask film 6 and 7. ( Drawing 7 a )

[0019] Furthermore, it anodized through the current in the electrolytic solution to this, and the anodic oxidation object with 3000–6000Å [ in thickness ] and a thickness of 5000Å was formed. What is necessary is to perform anodic oxidation using aqueous acids, such as 3 – 20% of citric acid or a show acid, phosphoric acid, a chromic acid, and a sulfuric acid, and just to impress the fixed current of 10–30V to a gate electrode. In this example, in the oxalic acid solution (30 degrees C), the electrical potential difference was set to 10V, and was anodized for 20 to 40 minutes. The thickness of an anodic oxidation object was controlled by anodic oxidation time amount. ( Drawing 7 b )

[0020] Next, the mask was removed and the current was again impressed to the gate electrode into the electrolyte. This time, the ethylene glucol solution with which 3 – 10% of tartar liquid, boric acid, and a nitric acid were contained was used. The oxide film with the one [ lower than the room temperature around 10 degrees C ] good [ the temperature of a solution ] was obtained. For this reason, the anodic oxidation objects 10 and 11 of a barrier mold were formed in the top face and side face of a gate electrode. The thickness of the anodic oxidation objects 10 and 11 was proportional to applied voltage, for example, the 2000Å anodic oxidation object was formed for applied voltage by 150V. Although the magnitude of the offset needed determined the thickness of the anodic oxidation objects 10 and 11, the high voltage beyond 250V is required to obtain an anodic oxidation object with a thickness of 3000Å or more, and since it has a bad influence on the property of a thin film transistor, it is desirable to consider as the thickness of 3000Å or less. In this example, it was made to go up to 80–150V, and the electrical potential difference was chosen with the thickness of the oxide films on anode 10 and 11 to need.

[0021] it should observe — although anodization of a barrier mold is a next process, the anodization object of a barrier mold is not made into the outside of a porous anodization object, but the anodization objects 10 and 11 of a barrier mold are formed between the porosity anodization objects 8 and 9 and the gate electrodes 4 and 5.

[0022] And the insulator layer 3 was etched by the dry etching method (or the wet etching method). This etching depth is arbitrary, it may etch until the barrier layer which exists downward is exposed, or it may be stopped by that middle. However, etching is desirable until it results [ from mass-production nature and the yield, and a homogeneous viewpoint ] in a barrier layer. In this case, the insulator layers 12 and 13 of the thickness of a basis are left behind to the insulator layer (gate dielectric film) of the field bottom covered with the anodic oxidation objects 8 and 9 and the gate electrodes 4 and 5.

( Drawing 7 c )

[0023] About the manufacturing method of a LDD field, the anodic oxidation objects 8 and 9 were removed after the above-mentioned actuation. As etchant, the mixed acid of the solution of a phosphoric acid system, for example, phosphoric acid, an acetic acid, and a nitric acid etc. is desirable. Under the present circumstances, in the etchant of a phosphoric acid system, the etching rate of a porosity anodization object is 10 or more times of the etching rate of a barrier mold anodization object. Therefore, since the anodization objects 10 and 11 of a barrier mold were not substantially etched by the etchant of a phosphoric acid system, they were able to protect the inside gate electrode.

[0024] The source drain was formed by pouring into a barrier layer the ion of the impurity of the N type accelerated with this structure, or P type. First, where a left-hand side thin film transistor field is covered with a mask 14, low-speed (typically, acceleration voltage is 5–30kV) phosphorus ion was comparatively irradiated by the ion doping method. Acceleration voltage was set to 20kV in this example. Phosphoretted hydrogen (PH<sub>3</sub>) was used as doping gas. The dose was set to 5x10<sup>14</sup>–5x10<sup>15</sup>cm<sup>-2</sup>. At this process, since phosphorus ion could not penetrate an insulator layer 13, only the field where the

front face was exposed among barrier layers was poured in, and the drain 15 of an N channel mold thin film transistor and the source 16 were formed. ( Drawing 7 d )

[0025] Next, similarly high-speed (typically, acceleration voltage is 60–120kV) phosphorus ion was comparatively irradiated by the ion doping method. Acceleration voltage was set to 90kV in this example. The dose was set to  $1 \times 10^{13}$ – $5 \times 10^{14} \text{cm}^{-2}$ . Although phosphorus ion penetrated the insulator layer 13 and it arrived also at the field under it at this process, since there were few doses, the low-concentration N type field 17 and LDD (Light Dope Drain) 18 was formed. ( Drawing 7 e )

[0026] After doping of phosphorus was completed, the mask 14 was removed, the mask of the N channel mold thin film transistor was carried out this time, and the source 19, the drain 20, and the low-concentration P type field 21 and LDD 22 were similarly formed in the P channel mold thin film transistor. And KrF excimer laser (wavelength of 248nm, 20ns of pulse width) was irradiated, and the impurity ion introduced into the barrier layer was activated. The LDD field was able to be manufactured as mentioned above.

[0027] Finally, the oxidation silicon film was formed in the whole surface 3000–6000Å in thickness with the CVD method as a layer insulation object 23. And the contact hole was formed in the source drain of a thin film transistor, and aluminum wiring and electrodes 24, 25, and 26 were formed. Hydrogen annealing was performed at further 200–400 degrees C. By the above, the complementary-type inverter circuit using a thin film transistor was completed. ( Drawing 7 f )

[0028] Next, drawing 8 explains the offset field of the thin film device used for this invention. Here, a complementary-type inverter circuit is taken for an example. The oxidation silicon film with a thickness of 1000–3000Å was formed as a substrate oxide film on the glass substrate (low alkali glass or quartz glass of Corning 7059 grade etc. is used.). As the formation approach of this oxide film, the spatter in the inside of an oxygen ambient atmosphere was used. However, in order to raise mass-production nature more, the film which decomposed and deposited TEOS by the plasma-CVD method may be used.

[0029] then, a plasma-CVD method and LPCVD -- 300–5000Å of 500–1000Å of amorphous silicon film is deposited preferably, and you left this in 550–600-degree C reducing atmosphere for 4 to 48 hours, and made it crystallize by law. After this process, laser radiation may perform and the degree of crystallization may be raised further. And patterning of the silicon film which carried out in this way and was crystallized was carried out, and the island-like fields 31 and 32 were formed. Furthermore, the oxidation silicon film 33 with a thickness of 700–1500Å was formed by the spatter on this.

[0030] Then, the aluminum (a 1wt% Si or 0.1 – 0.3wt% Sc (scandium) is included) film with a thickness of 1000Å – 3 micrometers was formed by electron beam vacuum deposition or the spatter. And the photoresist (for example, Tokyo adaptation make, OFPR800/30cp) was formed with the spin coat method. When the aluminum oxide film with a thickness of 100–1000Å was formed in the front face with the anode oxidation method, before formation of a photoresist, adhesion with a photoresist was good, and when forming a porosity anodic oxidation object only in a side face, in the next anodic oxidation process, it was effective in it by controlling leak of the current from a photoresist. Then, patterning of the aluminum film was carried out to the photoresist, and it etched together with the aluminum film and considered as the gate electrodes 34 and 35 and the mask film 36 and 37. ( Drawing 8 a )

[0031] Furthermore, it anodized through the current in the electrolytic solution to this, and the anodic oxidation object with 3000–6000Å [ in thickness ] and a thickness of 5000Å was formed. What is necessary is to perform anodic oxidation using aqueous acids, such as 3 – 20% of citric acid or a show acid, phosphoric acid, a chromic acid, and a sulfuric acid, and just to impress the fixed current of 10–30V to a gate electrode. In this example, in the oxalic acid solution (30 degrees C), the electrical potential difference was set to 10V, and was anodized for 20 to 40 minutes. The thickness of an anodic oxidation object was controlled by anodic oxidation time amount. ( Drawing 8 b )

[0032] Next, the mask was removed and the current was again impressed to the gate electrode into the electrolyte. This time, the ethylene glucol solution with which 3 – 10% of tartar liquid, boric acid, and a nitric acid were contained was used. The oxide film with the one [ lower than the room temperature



around 10 degrees C ] good [ the temperature of a solution ] was obtained. For this reason, the anodic oxidation objects 40 and 41 of a barrier mold were formed in the top face and side face of a gate electrode. The thickness of the anodic oxidation objects 40 and 41 was proportional to applied voltage, for example, the 2000A anodic oxidation object was formed for applied voltage by 150V. Although the magnitude of the offset needed determined the thickness of the anodic oxidation objects 40 and 41, the high voltage beyond 250V is required to obtain an anodic oxidation object with a thickness of 3000A or more, and since it has a bad influence on the property of a thin film transistor, it is desirable to consider as the thickness of 3000A or less. In this example, it was made to go up to 80–150V, and the electrical potential difference was chosen with the thickness of the oxide films on anode 40 and 41 to need.

[0033] it should observe — although anodization of a barrier mold is a next process, the anodization object of a barrier mold is not made into the outside of a porous anodization object, but the anodization objects 40 and 41 of a barrier mold are formed between the porosity anodization objects 38 and 39 and the gate electrodes 34 and 35.

[0034] And the insulator layer 33 was etched by the dry etching method (or the wet etching method). This etching depth is arbitrary, it may etch until the barrier layer which exists downward is exposed, or it may be stopped by that middle. However, etching is desirable until it results [ from mass-production nature and the yield, and a homogeneous viewpoint ] in a barrier layer. In this case, the insulator layers 42 and 43 of the thickness of a basis are left behind to the insulator layer (gate dielectric film) of the field bottom covered with the anodic oxidation objects 38 and 39 and the gate electrodes 34 and 35.

( Drawing 8 c )

[0035] The source drain was formed by pouring into a barrier layer the ion of the impurity of the N type accelerated with this structure, or P type about the manufacturing method of an offset field. First, where a left-hand side thin film transistor field is covered with a mask 44, low-speed (typically, acceleration voltage is 5–30kV) phosphorus ion was comparatively irradiated by the ion doping method. Acceleration voltage was set to 20kV in this example. Phosphoretted hydrogen (PH<sub>3</sub>) was used as doping gas. The dose was set to  $5 \times 10^{14}$ – $5 \times 10^{15} \text{cm}^{-2}$ . At this process, since phosphorus ion could not penetrate an insulator layer 43, only the field where the front face was exposed among barrier layers was poured in, and the drain 45 of an N channel mold thin film transistor and the source 46 were formed.

( Drawing 8 d )

[0036] Then, the anodic oxidation objects 38 and 39 were removed. As etchant, the mixed acid of the solution of a phosphoric acid system, for example, phosphoric acid, an acetic acid, and a nitric acid etc. is desirable. Under the present circumstances, in the etchant of a phosphoric acid system, the etching rate of a porosity anodization object is 10 or more times of the etching rate of a barrier mold anodization object. Therefore, since the anodization objects 40 and 41 of a barrier mold were not substantially etched by the etchant of a phosphoric acid system, they were able to protect the part below an inside gate electrode and a lower insulator layer. Thus, the offset field was able to be manufactured. ( Drawing 8 e )

[0037] Finally, the oxidation silicon film was formed in the whole surface 3000–6000A in thickness with the CVD method as a layer insulation object 53. And the contact hole was formed in the source drain of a thin film transistor, and aluminum wiring and electrodes 54, 55, and 56 were formed. Hydrogen annealing was performed at further 200–400 degrees C. By the above, the complementary-type inverter circuit using a thin film transistor was completed. ( Drawing 8 f )

[0038] Although the inverter circuit explained above, also in other circuits, it is the same. Moreover, although the thin film transistor of a coplanar mold was explained here, it can respond to this invention not only by the coplanar mold but by the thin film transistor of other molds, such as a reverse stagger mold. Furthermore, although the 600-degree C low-temperature process explained here, this invention can respond also in an elevated-temperature process 800 degrees C or more.

[0039] From drawing 3 a, the example of the threshold electrical potential difference  $V_{th}$  of channel length L and a thin film transistor is shown. It is set as  $L = 5$  micrometers of channel length, and if an



etching error is set to 0.3 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor will be set to about 0.2 V. It is set as  $L = 10$  micrometers of channel length, and if an etching error is set to 0.3 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor can be held down to about 0.1 V. It is set as  $L = 20$  micrometers of channel length, and if an etching error is set to 0.3 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor can be held down to about 0.1 V.

[0040] If the channel length of the thin film transistor which forms said analog buffer is set as 10 micrometers or more as shown in drawing 3 a, the amount of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor becomes minute, and is satisfactory as a property of said analog buffer. In this case, dispersion in the permeability of liquid crystal can be small suppressed from 11% to 6% by adoption of this invention. The case where the design Ruhr becomes detailed is assumed from drawing 3 b. It is set as  $L = 1$  micrometer of channel length, and supposing an etching error improves to 0.1 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor will be set to about 0.2 V.

[0041] It is set as  $L = 2$  micrometers of channel length, and if an etching error is set to 0.1 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor can be held down to about 0.1 V. It is set as  $L = 4$  micrometers of channel length, and if an etching error is set to 0.1 micrometers, amount  $\Delta V_{th}$  of fluctuation of the threshold electrical potential difference  $V_{th}$  of this thin film transistor can be held down to about 0.1 V. If the design Ruhr becomes detailed as drawing 3 b shows, according to it, an etching error will also become small. Therefore, as for the amount of fluctuation of a threshold electrical potential difference, the one where channel length is longer becomes small to the same extent with the current design Ruhr. Moreover, in this invention, TN liquid crystal with fluctuation of permeability comparatively loose as a liquid crystal ingredient is desirable.

[0042] As an example of an analog buffer, the source follower and differential amplifier which were mentioned above are explained. As shown in drawing 6, when it considers that a source follower constitutes from a thin film transistor used as a grounded drain, and a thin film transistor used as a constant current source, the electrical potential difference impressed to the gate electrode of a constant current thin film transistor is set to  $V_{G1}$ , and it is the threshold electrical potential difference  $V_{TH1}$ . If it carries out, it is the value  $I_D$  of constant current.  $I_D = \mu_0 C_0 W (V_{G1} - V_{TH1})^2 / (2L)$ . It becomes. Here, it is  $\mu_0$ . Mobility and  $C_0$  The unit capacity of gate oxide and  $L$  express channel length, and  $W$  expresses channel width. In order for this current to flow to the thin film transistor of a grounded drain, the electrical potential difference between the gate sources is set to  $V_{G2}$ , and it is that threshold electrical potential difference  $V_{TH2}$ . Then,  $I_D = \mu_0 C_0 W (V_{G2} - V_{TH2})^2 / (2L)$ . It becomes. Therefore,  $V_{G1} - V_{TH1} = V_{G2} - V_{TH2}$  is materialized. Therefore, since the output voltage of a source follower is  $V_{G2}$ , it serves as  $V_{G2} = V_{G1} + V_{TH2} - V_{TH1}$ . Therefore,  $V_{TH1} = V_{TH2}$ . If a difference can be made small by this invention, an output serves as  $V_{G1}$  mostly and can improve the whole homogeneity.

[0043] Next, as shown in drawing 12, when the feedback mold differential amplifier is considered, the output voltage of the feedback mold differential amplifier is it of  $V_{GS3}$  and an output side about the electrical potential difference between the gate sources of an input-side transistor  $V_{GS4}$ . When it carries out, it is  $V_{GS3} - V_{GS4}$ . It becomes. Here, they are  $I_{D1}$  and the drain current of an output side about the drain current of an input-side transistor  $I_{D2}$ , then  $I_{D1} = \mu_0 C_0 W (V_{GS3} - V_{TH3})^2 / (2L)$   $I_{D2} = \mu_0 C_0 W (V_{GS4} - V_{TH4})^2 / (2L)$ .

It becomes. If  $I_{D1}$  and  $I_{D2}$  become equal, they will be  $V_{GS3} - V_{TH3} = V_{GS4} - V_{TH4}$   $V_{GS3} - V_{GS4} = V_{TH3} - V_{TH4}$ , therefore  $V_{TH3} = V_{TH4}$ . If a difference can be made small by this invention, the difference electrical potential difference during I/O can be set to about 0.

[0044] The example of this invention at the time of forming said analog buffer which set the channel

length of a thin film transistor as drawing 1 , and set a less than 10-micrometer analog switch and the channel length of a thin film transistor as 10 micrometers or more 20 micrometers or less is shown. The LDD field of the thin film transistor of the analog buffer of this invention and the offset fields of each are shown in drawing 9 and 10.

[0045] The following means are utilized in order to make the LDD field and offset field of said analog buffer smaller than other LDD fields and offset fields of a circuit. In this invention, since the LDD field and the offset field are formed according to the anodic oxidation process, they presuppose that it is possible by making the formation time amount shorter than the formation time amount of the anodic oxidation process of other circuits. As mentioned above, explanation was performed noting that the drive circuit was a complementary type, but when it constitutes an analog buffer from a source follower, it is also possible to constitute a circuit only from N type or P type.

[0046]

[Effect of the Invention] According to this invention, dispersion in the property of the output voltage of said analog buffer is suppressed by changing the design Ruhr for every function inside the drive circuit of a active-matrix mold indicating equipment. If the design Ruhr of said thin film transistor is theoretically made loose, i.e., it limits and says only to the channel length of the analog buffer in said drive circuit and a channel will be made large enough, the amount of fluctuation of said threshold electrical potential difference  $V_{th}$  will become a value to the extent that it can ignore. However, the channel length who constitutes an analog buffer from balance with the area on the design Ruhr of other thin film transistors inside said drive circuit and the substrate which a circuit closes can be said that it is appropriate to carry out by 2 to 4 times the channel length of other circuits. Moreover, or it makes smaller than that of other circuits the LDD field or offset field of a thin film transistor which constitutes an analog buffer, dispersion in  $V_{th}$  can be made small by losing. Dispersion in the property of the output voltage of said analog buffer is suppressed as mentioned above, and it can contribute to the image quality of a active-matrix mold display, and improvement in the yield.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing of the example of the thin film transistor of the analog buffer of the drive circuit of the active-matrix mold indicating equipment by this invention is shown.

[Drawing 2] Drawing of the thin film transistor of the analog buffer of the drive circuit of the conventional active-matrix mold indicating equipment is shown.

[Drawing 3] Drawing showing channel length  $L$  of a thin film transistor and the relation of the threshold electrical potential difference  $V_{th}$  is shown.

[Drawing 4] The schematic diagram of the conventional active-matrix mold display

[Drawing 5] Drawing showing the relation between the applied voltage in the liquid crystal device of the conventional normally white and permeability is shown.

[Drawing 6] The circuit diagram of the conventional analog buffer is shown.

[Drawing 7] The manufacturing method of a complementary-type inverter circuit is shown. (When it has a LDD field)

[Drawing 8] The manufacturing method of a complementary-type inverter circuit is shown. (When it has an offset field)

[Drawing 9] The schematic diagram of the LDD field of the thin film transistor by this invention is shown.

[Drawing 10] The schematic diagram of the offset field of the thin film transistor by this invention is shown.

[Drawing 11] The equal circuit of a thin film transistor with a LDD field or an offset field is shown.

[Drawing 12] The circuit diagram of the conventional analog buffer is shown.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CORRECTION OR AMENDMENT**

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Section partition] The 2nd partition of the 6th section

[Publication date] November 9, Heisei 13 (2001. 11.9)

[Publication No.] JP,7-294961,A

[Date of Publication] November 10, Heisei 7 (1995. 11.10)

[Annual volume number] Open patent official report 7-2950

[Application number] Japanese Patent Application No. 6-107572

[The 7th edition of International Patent Classification]

G02F 1/136 500

1/133 550

G09G 3/36

H01L 29/786

[FI]

G02F 1/136 500

1/133 550

G09G 3/36

H01L 29/78 311 A

311 S

[Procedure revision]

[Filing Date] March 28, Heisei 13 (2001. 3.28)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] The name of invention

[Method of Amendment] Modification

[Proposed Amendment]

[Title of the Invention] Active-matrix mold display

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] It is the active-matrix mold indicating equipment characterized by the channel length of the thin film transistor of said analog buffer being larger than the channel length of the thin film transistor of said analog switch in the active-matrix mold indicating equipment possessing an analog switch and an analog buffer.

[Claim 2] It is the active-matrix mold indicating equipment characterized by the channel length of the thin film transistor of said analog buffer being larger than the channel length of the thin film transistor of said analog switch or a shift register in the active-matrix mold indicating equipment possessing a shift register, an analog switch, and an analog buffer.

[Claim 3] It is the active-matrix mold display characterized by said thin film transistor being a reverse stagger mold thin film transistor in claim 1 or claim 2.

[Claim 4] It is the active-matrix mold display characterized by said analog buffer being a source follower mold analog buffer in any 1 of claim 1 thru/or claims 3.

[Claim 5] It is the active-matrix mold display characterized by the thin film transistor of said source follower mold analog buffer being either the thin film transistor of N type, or a thin film transistor of P type in claim 4.

[Claim 6] It is the active-matrix mold display characterized by being the analog buffer with which the feedback mold differential amplifier was used for said analog buffer in any 1 of claim 1 thru/or claims 3.

[Claim 7] It is the active-matrix display characterized by the channel length of the thin film transistor of said analog buffer being 2 to 4 times the channel length of the thin film transistor of other circuits in any 1 of claim 1 thru/or claims 6.

[Claim 8] It is the active-matrix display characterized by the channel length of the thin film transistor of said analog buffer being 10 micrometers or more in any 1 of claim 1 thru/or claims 7.

[Claim 9] It is the active-matrix display characterized by the channel length of thin film transistors other than said analog buffer being 5 micrometers or less in any 1 of claim 1 thru/or claims 7.

[Claim 10] It is the active-matrix display characterized by the width of face of the LDD field of the thin film transistor of said analog buffer being smaller than the width of face of the LDD field of the thin film transistor of other circuits in any 1 of claim 1 thru/or claims 9.

[Claim 11] It is the active-matrix display characterized by the width of face of the offset field of the thin film transistor of said analog buffer being smaller than the width of face of the offset field of the thin film transistor of other circuits in any 1 of claim 1 thru/or claims 9.

[Claim 12] It is the active-matrix display which thin film transistors other than the thin film transistor of said analog buffer have a LDD field in any 1 of claim 1 thru/or claims 9, and was characterized by the thin film transistor of said analog buffer not having the LDD field and the offset field.

[Claim 13] It is the active-matrix mold display characterized by said thin film transistor being a complementary-type thin film transistor in any 1 of claim 1 thru/or claims 12.

[Claim 14] It is the active-matrix mold indicating equipment characterized by said active-matrix mold indicating equipment being an active matrix liquid crystal indicating equipment in any 1 of claim 1 thru/or claims 13.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-294961

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0		
	1/133	5 5 0		
G 0 9 G	3/36			
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		3 1 1 S
審査請求 未請求 請求項の数14 F D (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平6-107572

(22) 出願日 平成6年(1994)4月22日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

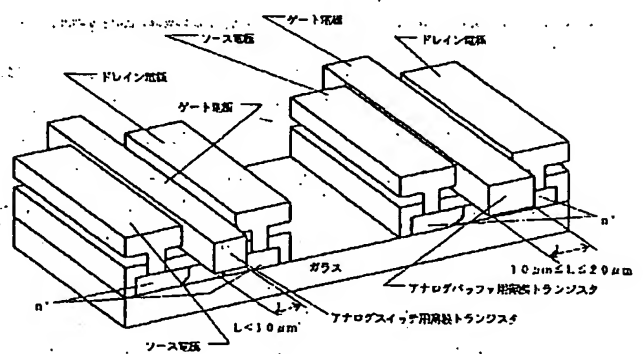
(72) 発明者 河崎 祐司  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型表示装置の駆動回路および設計方法

(57) 【要約】

【目的】 アクティブマトリクス表示装置において、画質のばらつきを低減するための方法を提供する。

【構成】 アクティブマトリクス表示装置の駆動回路に関し、駆動回路を構成するシフトレジスタ・アナログスイッチ・アナログバッファの薄膜トランジスタの内、アナログバッファの薄膜トランジスタのチャネル長のみ他の回路のチャネル長の2～4倍の長さにすることにより、またアナログバッファのLDD領域またはオフセット領域を他の回路のLDD領域またはオフセット領域より小さくするか、なくすことにより、薄膜トランジスタのしきい値のばらつきを小さくでき、それに伴い液晶の透過率のばらつきも小さくなり、画面のむらを防止する。



(2)

## 【特許請求の範囲】

【請求項1】 シフトレジスタと、アナログスイッチ及び、コンデンサから構成されるアナログメモリと、薄膜トランジスタで形成したアナログバッファを具備しているアクティブマトリクス型表示装置の駆動回路において、前記アナログバッファを形成している薄膜トランジスタのチャンネル長を、前記アナログスイッチまたはシフトレジスタを形成している薄膜トランジスタのチャンネル長より大きくすることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項2】 前記アナログバッファを形成している薄膜トランジスタのチャンネル長の決定法について、前記チャンネル長の増加量に対して前記薄膜トランジスタのしきい値電圧の増加量が微小になる範囲を採用することを特徴としたアクティブマトリクス型表示装置の駆動回路の設計方法。

【請求項3】 前記アクティブマトリクス型表示装置の駆動回路内部の機能毎に、異なる長さのチャンネルを持つ薄膜トランジスタから構成されることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項4】 請求項1において、アナログバッファはソースフォロワで構成されていることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項5】 請求項1において、アナログバッファは帰還型の差動増幅器で構成されていることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項6】 請求項1において、アナログバッファを構成する薄膜トランジスタのチャンネル長は、前記駆動回路内部のアナログバッファ以外のデバイスを構成する薄膜トランジスタのチャンネル長の2～4倍にすることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項7】 請求項1において、前記駆動回路を構成する薄膜トランジスタのチャンネルの両端にLDD領域を設け、前記アナログバッファを構成する薄膜トランジスタのLDD領域の幅を、前記その他の回路を構成する薄膜トランジスタのLDD領域の幅より小さくすることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項8】 請求項1において、前記駆動回路を構成する薄膜トランジスタのチャンネルの両端にオフセット領域を設け、前記アナログバッファを構成する薄膜トランジスタのオフセット領域の幅を、前記その他の回路を構成する薄膜トランジスタのオフセット領域の幅より小さくすることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項9】 請求項1において、前記アナログバッファを除く全ての前記駆動回路を構成する薄膜トランジスタのチャンネルの両端にLDD領域を設け、前記アナログバッファを構成する薄膜トランジスタのチャンネルには、LDD領域もオフセット領域も付け加えないことを特徴

としたアクティブマトリクス型表示装置の駆動回路。

【請求項10】 請求項1において、前記アナログバッファを除く全ての前記駆動回路を構成する薄膜トランジスタのチャンネルの両端にオフセット領域を設け、前記アナログバッファを構成する薄膜トランジスタのチャンネルには、LDD領域もオフセット領域も付け加えないことを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項11】 請求項1～10において、薄膜トランジスタはN型またはP型のいずれか一方であることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項12】 請求項1～10において、薄膜トランジスタは相補型であることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項13】 請求項1～12において、薄膜トランジスタは600℃以下の低温プロセスで形成されることを特徴としたアクティブマトリクス型表示装置の駆動回路。

【請求項14】 請求項1～12において、薄膜トランジスタは800℃以上の高温プロセスで形成されることを特徴としたアクティブマトリクス型表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタにより構成されたアクティブマトリクス型表示装置の駆動回路に関し、特にアナログバッファの特性のばらつきを小さく抑えたアクティブマトリクス型表示装置の駆動回路に関する。

## 【0002】

【従来の技術】 アクティブマトリクス型の表示装置とは、マトリクスの各交差部に画素が配置され、全ての画素にはスイッチング用の素子が設けられており、画像情報はスイッチング素子のオン・オフによって制御されるものをいう。このような表示装置の表示媒体としては液晶、プラズマ、その他、電気的に光学特性（反射率、屈折率、透過率、発光強度等）を変化させることが可能な物体、状態を用いる。本発明ではスイッチング素子として、特に三端子素子、すなわち、ゲート、ソース、ドレインを有する電界効果型トランジスタを用いる。

【0003】 また、本発明の記述においては、マトリクスにおける行とは、当該行に平行に配置された信号線（ゲート線）が当該行のトランジスタのゲート電極に接続されているものを言い、列とは、当該列に平行に配置された信号線（ソース線）が当該列のトランジスタのソース（もしくはドレイン）電極に接続されているものを言う。さらに、ゲート線を駆動する回路をゲート駆動回路、ソース線を駆動する回路をソース駆動回路と称する。従来のアクティブマトリクス型液晶表示装置の概略図を図4に示す。



(3)

3

【0004】前記ゲート駆動回路ではアクティブマトリクス型表示装置の垂直方向走査タイミングの信号を発生するため、垂直方向のゲート線数のシフトレジスタが1列に直列に接続している。このようにして、該ゲート駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタのスイッチングを行なっている。前記ソース駆動回路ではアクティブマトリクス型表示装置の表示する画像データの水平方向画像データを表示させるため、水平方向のソース線数のシフトレジスタが1列に直列に接続している。また水平走査信号に同期したラッチパルスで前記アナログスイッチをオン・オフする。このようにして、該ソース駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタに電流を流し、液晶セルの配向をコントロールしている。

【0005】一般のアクティブマトリクス型表示装置について第4図で説明する。シフトレジスタXで水平方向走査タイミングの信号を発生させ、ビデオ信号を前記タイミング信号でアナログメモリに保持させる。前記アナログメモリに保持された画像データは、前記ラッチパルスによるタイミングでアナログバッファに入力される。前記アナログバッファは、前記ラッチパルスによるタイミングで画像データをアクティブマトリクス型表示装置内の薄膜トランジスタのソース線に供給する。一方シフトレジスタYは、垂直方向走査タイミングの信号を発生させ、前記アクティブマトリクス型表示装置内の薄膜トランジスタのゲート線に信号を入力することで、該薄膜トランジスタのソース線に加えられた電流が流れ、該薄膜トランジスタのドレイン線に接続された液晶の配向を決める。以上のようにして、アクティブマトリクス型表示装置は動作している。

【0006】前記液晶自体の負荷容量が大きいので前記アナログメモリでアクティブマトリクス型表示装置内の薄膜トランジスタを直接駆動できないため、前記ソース駆動回路を構成するアナログバッファが必要とされる。アナログバッファとは、入力信号をそのまま、または直流的にのみシフトさせて出力し、かつその出力インピーダンスを負荷に対して十分低くすることができる回路であり、その構成は主としてソースフォロワ型と、帰還型の差動増幅器を用いたものがあり、その例としては図6、図12の様なものである。

【0007】図6に示すように、ソースフォロワ型のアナログバッファは、N型またはP型の薄膜トランジスタのソース電極に定電流源を接続することにより構成され、出力電圧は入力電圧に対して、薄膜トランジスタのゲート・ソース間電圧 $V_{GS}$ 分だけ電圧降下または上昇する。また図12に示すように、帰還型差動増幅器を用いたアナログバッファは、差動増幅器を用いているため、出力電圧と入力電圧は等しくなる。ただし、ソースフォロワ型より遅延時間が大きくなり、高速応答には適さない。

4

【0008】

【発明が解決しようとする課題】従来のアクティブマトリクス型表示装置の駆動回路では、次のような課題がある。図2に示すように、前記駆動回路におけるアナログスイッチとアナログバッファを形成する薄膜トランジスタのチャネル長が各々等しく設計されている。また、現在の半導体製造技術の進歩により、回路の集積度を上げるため設計ルールも厳しくなり、前記駆動回路の該薄膜トランジスタのチャネル長も微細になりつつある。

10 【0009】前記アナログバッファのチャネル長が微細になると、該チャネルをもつ薄膜トランジスタの製造過程でのフォトリソグラフの精度やエッチング精度の誤差の影響が大きくなる。薄膜トランジスタのチャネル長の変化と該薄膜トランジスタのしきい値電圧の関係を実験より求め、図3に示す。薄膜トランジスタでは、チャネル長 $L$ が小さくなるほどしきい値は小さくなり、しかも小さいほど変化が大きいことがわかる。

20 【0010】図3に示すように、チャネル長 $L$ が微細になるとエッチング精度の誤差が正負に $\Delta L$ ほど生じ、前記の各々のチャネル長の値に対応する薄膜トランジスタのしきい値電圧 $V_{th1}$ と $V_{th2}$ の差が大きくなり、前記アナログバッファの特性のばらつきが大きくなり、前記アクティブマトリクス型表示装置の画素の表示むらの原因となる。これは均一な単一色の図面を表示した場合、液晶素子に印加される電圧が $V_{th}$ のばらつきの分だけばらつくため、それがむらになるためである。図5にノーマリホワイトの液晶素子の透過率、印加電圧の特性を示す。 $V_{th}$ のばらつき幅 $\Delta V_{th}$ の分だけ透過率のばらつきとなつて表示される。

30 【0011】また、前記アナログバッファを構成する薄膜トランジスタにLDD領域またはオフセット領域を入れると、それらの領域はソース抵抗となるため、ソース電流により電位降下が発生して、見かけ上しきい値電圧 $V_{th}$ が大きくなるため、該薄膜トランジスタのしきい値電圧のばらつきの原因となる。図11に、薄膜トランジスタにLDD領域またはオフセット領域を入れた場合の等価回路を示す。

【0012】

40 【課題を解決するための手段】上述の課題を解決するため、本発明は次に示す手段を施す。前記アナログバッファを形成する薄膜トランジスタのチャネル長 $L$ と該薄膜トランジスタのしきい値電圧を測定し、図3に示す。図3a・bから、前記アナログバッファを形成する薄膜トランジスタのチャネル長 $L$ のエッチング精度の正負の誤差に対応する該薄膜トランジスタの各々のしきい値電圧の差が微小になるように $L$ の範囲を決定することを特徴とする。

50 【0013】前記しきい値電圧の差が微小になるチャネル長 $L$ の範囲の内、最小の値をチャネル長として採用して前記アナログバッファを構成する薄膜トランジスタの

(4)

5

チャンネル長のみこの設計ルールで製造することを特徴とする。前記アナログバッファの薄膜トランジスタのチャンネル長が大きくなると、該薄膜トランジスタの動作速度が遅くなるが、アナログバッファの動作速度が水平周期(15kHz~30kHz)に対して速ければ良いため、チャンネル長の増大、容量の増加、ドレイン電流の減少が生じて動作上問題ない。以上のようにして、前記アナログバッファの特性のばらつきを抑えることができる。

【0014】尚、前記アナログスイッチや論理回路等の形成する薄膜トランジスタのチャンネル長は厳密なしきい値電圧を要求しないので、前記アナログバッファのものより、微細な設計ルールで製造しても問題はない。また、論理回路の動作速度は、チャンネル長の2乗に反比例するので、チャンネル長はなるべく小さい方がよい。従って、液晶デバイスのリソグラフィの関係より前記アナログバッファ以外の薄膜トランジスタのチャンネル長は、5μm以下が適当である。

【0015】そして、前記アナログバッファを構成する薄膜トランジスタが、LDD領域またはオフセット領域を持つ場合、前記LDD領域及びオフセット領域の幅を他の回路のそれより小さくすることを特徴とする。

【0016】

【実施例】まず、本発明に使用する薄膜デバイスのLDD領域について、図7にて説明する。ここでは相補型インバータ回路を例にとる。ガラス基板(コーニング7059等の低アルカリガラスまたは石英ガラス等を使用する。)上に下地酸化膜として厚さ1000~3000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0017】その後、プラズマCVD法やLPCVD法によって非晶質珪素膜を300~5000Å、好ましくは500~1000Å堆積し、これを、550~600℃の還元雰囲気中に4~48時間放置して、結晶化せしめた。この工程の後に、レーザ照射によっておこなって、さらに結晶化の度合いを高めてもよい。そして、このようにして結晶化させた珪素膜をパターンニングして島状領域1、2を形成した。さらに、この上にスパッタ法によって厚さ700~1500Åの酸化珪素膜3を形成した。

【0018】その後、厚さ1000Å~3μmのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトリソスト(例えば、東京応化製、OFPR800/30c.p)をスピンコート法によって形成した。フォトリソストの形成前に、陽極酸化法によって厚さ100~1000Åの酸化アルミニウム膜を表面に形成しておく

6

と、フォトリソストとの密着性が良く、また、フォトリソストからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトリソストとアルミニウム膜をパターンニングして、アルミニウム膜と一緒にエッチングし、ゲート電極4、5及びマスク膜6、7とした。(図7a)

【0019】さらにこれに電解液中で電流を通じて陽極酸化し、厚さ3000~6000Å、例えば、厚さ5000Åの陽極酸化物を形成した。陽極酸化は、3~20%のクエン酸もしくはショウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10~30Vの一定電流をゲート電極に印加すればよい。本実施例ではシュウ酸溶液(30℃)中で電圧を10Vとし、20~40分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。(図7b)

【0020】次に、マスクを除去し、再び電解溶液中において、ゲート電極に電流を印加した。今回は、3~10%の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲート電極の上面および側面にバリヤ型の陽極酸化物10、11が形成された。陽極酸化物10、11の厚さは印加電圧に比例し、例えば、印加電圧が150Vでは2000Åの陽極酸化物が形成された。陽極酸化物10、11の厚さは必要とされるオフセットの大きさによって決定したが、3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、薄膜トランジスタの特性に悪影響を及ぼすので3000Å以下の厚さとするのが好ましい。本実施例では80~150Vまで上昇させ、必要とする陽極酸化膜10、11の厚さによって電圧を選択した。

【0021】注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物10、11は多孔質陽極酸化物8、9とゲート電極4、5の間に形成されることである。

【0022】そして、ドライエッチング法(もしくはウェットエッチング法)によって絶縁膜3をエッチングした。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが望ましい。この際には陽極酸化物8、9、およびゲート電極4、5に覆われた領域の下側の絶縁膜(ゲート絶縁膜)にはもとの厚さの絶縁膜12、13が残される。

(図7c)

【0023】LDD領域の製造法について、前述の操作の後、陽極酸化物8、9を除去した。エッチャントとしては、磷酸系の溶液、例えば、磷酸、酢酸、硝酸の混酸

(5)

7

等が好ましい。この際、燐酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリア型陽極酸化物のエッチングレートの10倍以上である。したがって、バリア型の陽極酸化物10、11は、燐酸系のエッチャントでは実質的にエッチングされないの、内側のゲート電極を守ることができた。

【0024】この構造で加速したN型もしくはP型の不純物のイオンを活性層に注入することによって、ソース・ドレインを形成した。まず、左側の薄膜トランジスタ領域をマスク14によって覆った状態で、イオンドーピング法によって、比較的低速（典型的には、加速電圧は5〜30kV）の燐イオンを照射した。本実施例では加速電圧は20kVとした。ドーピングガスとしてはフォスフィン（ $\text{PH}_3$ ）を用いた。ドーズ量は $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜13を透過できないので、活性層のうち、表面の露出された領域のみ注入され、Nチャネル型薄膜トランジスタのドレイン15、ソース16が形成された。（図7d）

【0025】次に、同じくイオンドーピング法によって、比較的高速（典型的には、加速電圧は60〜120kV）の燐イオンを照射した。本実施例では加速電圧は90kVとした。ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜13を透過して、その下の領域にも到達するが、ドーズ量が少ないので、低濃度のN型領域LDD（Light Dope Drain）17、18が形成された。（図7e）

【0026】燐のドーピングが終了したのち、マスク14を除去し、今度は、Nチャネル型薄膜トランジスタをマスクして、同様に、Pチャネル型薄膜トランジスタにもソース19、ドレイン20、低濃度のP型領域LDD 21、22を形成した。そして、KrFエキシマレーザ（波長248nm、パルス幅20nsec）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。以上のようにして、LDD領域を製造することができた。

【0027】最後に、全面に層間絶縁物23として、CVD法によって酸化珪素膜を厚さ3000〜6000Å形成した。そして、薄膜トランジスタのソース・ドレインにコンタクトホールを形成し、アルミニウム配線・電極24、25、26を形成した。さらに200〜400℃で水素アニールをおこなった。以上によって、薄膜トランジスタを用いた相補型インバータ回路が完成した。（図7f）

【0028】次に、本発明に使用する薄膜デバイスのオフセット領域について、図8にて説明する。ここでは相補型インバータ回路を例にとる。ガラス基板（コーニング7059等の低アルカリガラスまたは石英ガラス等を使用する。）上に下地酸化膜として厚さ1000〜3000Åの酸化珪素膜を形成した。この酸化膜の形成方法

8

としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0029】その後、プラズマCVD法やLPCVD法によって非晶質珪素膜を300〜5000Å、好ましくは500〜1000Å堆積し、これを、550〜600℃の還元雰囲気中に4〜48時間放置して、結晶化せしめた。この工程の後に、レーザ照射によっておこなって、さらに結晶化の度合いを高めてもよい。そして、このようにして結晶化させた珪素膜をパターンニングして島状領域31、32を形成した。さらに、この上にスパッタ法によって厚さ700〜1500Åの酸化珪素膜33を形成した。

【0030】その後、厚さ1000Å〜3μmのアルミニウム（1wt%のSi、もしくは0.1〜0.3wt%のSc（スカンジウム）を含む）膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトリソ（例えば、東京応化製、OFPR800/30c.p）をスピンコート法によって形成した。フォトリソの形成前に、陽極酸化法によって厚さ100〜1000Åの酸化アルミニウム膜を表面に形成しておく、と、フォトリソとの密着性が良く、また、フォトリソからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトリソとアルミニウム膜をパターンニングして、アルミニウム膜と一緒にエッチングし、ゲート電極34、35及びマスク膜36、37とした。（図8a）

【0031】さらにこれに電解液中で電流を通じて陽極酸化し、厚さ3000〜6000Å、例えば、厚さ5000Åの陽極酸化物を形成した。陽極酸化は、3〜20%のクエン酸もしくはショウ酸、燐酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10〜30Vの一定電流をゲート電極に印加すればよい。本実施例ではシュウ酸溶液（30℃）中で電圧を10Vとし、20〜40分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。（図8b）

【0032】次に、マスクを除去し、再び電解溶液中において、ゲート電極に電流を印加した。今回は、3〜10%の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲート電極の上面および側面にバリア型の陽極酸化物40、41が形成された。陽極酸化物40、41の厚さは印加電圧に比例し、例えば、印加電圧が150Vでは2000Åの陽極酸化物が形成された。陽極酸化物40、41の厚さは必要とされるオフセットの大きさによって決定したが、3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、薄膜トランジスタの特性に悪影響を及ぼすので3000Å以下の厚さとするこ

(6)

9

とが好ましい。本実施例では80～150Vまで上昇させ、必要とする陽極酸化膜40、41の厚さによって電圧を選択した。

【0033】注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物40、41は多孔質陽極酸化物38、39とゲート電極34、35の間に形成されることである。

【0034】そして、ドライエッチング法（もしくはウェットエッチング法）によって絶縁膜33をエッチングした。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが望ましい。この際には陽極酸化物38、39、およびゲート電極34、35に覆われた領域の下側の絶縁膜（ゲート絶縁膜）にはもとの厚さの絶縁膜42、43が残される。（図8c）

【0035】オフセット領域の製造法について、この構造で加速したN型もしくはP型の不純物のイオンを活性層に注入することによって、ソース・ドレインを形成した。まず、左側の薄膜トランジスタ領域をマスク44によって覆った状態で、イオンドーピング法によって、比較的低速（典型的には、加速電圧は5～30kV）の燐イオンを照射した。本実施例では加速電圧は20kVとした。ドーピングガスとしてはフォスフィン（ $\text{PH}_3$ ）を用いた。ドーズ量は $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜43を透過できないので、活性層のうち、表面の露出された領域のみ注入され、Nチャネル型薄膜トランジスタのドレイン45、ソース46が形成された。（図8d）

【0036】その後、陽極酸化物38、39を除去した。エッチャントとしては、燐酸系の溶液、例えば、燐酸、酢酸、硝酸の混酸等が好ましい。この際、燐酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリヤ型陽極酸化物のエッチングレートの10倍以上である。したがって、バリヤ型の陽極酸化物40、41は、燐酸系のエッチャントでは実質的にエッチングされないで、内側のゲート電極と、下側の絶縁膜より下の部分を守ることができた。このようにして、オフセット領域を製造することができた。（図8e）

【0037】最後に、全面に層間絶縁物53として、CVD法によって酸化珪素膜を厚さ3000～6000Å形成した。そして、薄膜トランジスタのソース・ドレインにコンタクトホールを形成し、アルミニウム配線・電極54、55、56を形成した。さらに200～400℃で水素アニールをおこなった。以上によって、薄膜トランジスタを用いた相補型インバータ回路が完成した。（図8f）

【0038】以上において、インバータ回路で説明をお

10

こなったが、他の回路においても同様である。また、ここではコプラナ型の薄膜トランジスタについて説明したが、コプラナ型のみならず逆スタガ型など他の型の薄膜トランジスタでも本発明には対応できる。さらに、ここでは600℃の低温プロセスで説明をおこなったが、本発明は800℃以上の高温プロセスにおいても対応可能である。

【0039】図3aより、チャネル長Lと薄膜トランジスタのしきい値電圧 $V_{th}$ の例を示す。チャネル長 $L = 5 \mu\text{m}$ に設定し、エッチング誤差を $0.3 \mu\text{m}$ とすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.2Vになる。チャネル長 $L = 10 \mu\text{m}$ に設定し、エッチング誤差を $0.3 \mu\text{m}$ とすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.1Vに抑えることができる。チャネル長 $L = 20 \mu\text{m}$ に設定し、エッチング誤差を $0.3 \mu\text{m}$ とすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.1Vに抑えることができる。

【0040】図3aに示すように、前記アナログバッファを形成する薄膜トランジスタのチャネル長を $10 \mu\text{m}$ 以上に設定すれば、該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量は微小になり、前記アナログバッファの特性としては問題ない。この場合液晶の透過率のばらつきは、本発明の採用により11%から6%に小さく抑えることができる。図3bより、設計ルールが微細になった場合を仮定してみる。チャネル長 $L = 1 \mu\text{m}$ に設定し、エッチング誤差は $0.1 \mu\text{m}$ に向上したとすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.2Vになる。

【0041】チャネル長 $L = 2 \mu\text{m}$ に設定し、エッチング誤差を $0.1 \mu\text{m}$ とすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.1Vに抑えることができる。チャネル長 $L = 4 \mu\text{m}$ に設定し、エッチング誤差を $0.1 \mu\text{m}$ とすると該薄膜トランジスタのしきい値電圧 $V_{th}$ の変動量 $\Delta V_{th}$ は約0.1Vに抑えることができる。図3bで示すように、設計ルールが微細になれば、それに従ってエッチング誤差も小さくなる。よってチャネル長が長い方がしきい値電圧の変動量は、現在の設計ルールと同程度に小さくなる。また、本発明では液晶材料として透過率の変動が比較的ゆるやかなTN液晶が好ましい。

【0042】アナログバッファの具体例として、前述したソースフォロワと差動増幅器について説明する。ソースフォロワを図6に示すように、ドレイン接地となる薄膜トランジスタと、定電流源となる薄膜トランジスタで構成すると考えると、定電流薄膜トランジスタのゲート電極に印加される電圧を $V_{G1}$ とし、そのしきい値電圧を $V_{TH1}$ とすると定電流の値 $I_D$ は

$$I_D = \mu_0 C_0 W (V_{G1} - V_{TH1})^2 / (2L)$$

となる。ここで、 $\mu_0$ は移動度、 $C_0$ はゲート酸化膜の

(7)

11

単位容量、 $L$ はチャネル長、 $W$ はチャネル幅を表す。この電流がドレイン接地の薄膜トランジスタに流れるためには、ゲート・ソース間電圧を $V_{G2}$ とし、そのしきい値電圧を $V_{TH2}$ とすれば

$$I_D = \mu_0 C_0 W (V_{G2} - V_{TH2})^2 / (2L)$$

となる。よって

$$V_{G1} - V_{TH1} = V_{G2} - V_{TH2}$$

が成立する。よって、ソースフォロウの出力電圧は $V_{G2}$ であるため

$$V_{G2} = V_{G1} + V_{TH2} - V_{TH1}$$

となる。従って、 $V_{TH1}$ と $V_{TH2}$ の差を本発明により小さくできれば、出力はほぼ $V_{G1}$ となり、全体の均一性を改善できる。

【0043】次に、図12に示すように、帰還型差動増幅器について考えると、帰還型差動増幅器の出力電圧は、入力側トランジスタのゲート・ソース間電圧を $V_{GS3}$ 、出力側のそれを $V_{GS4}$ とすると、 $V_{GS3} - V_{GS4}$ となる。ここで、入力側トランジスタのドレイン電流を $I_{D1}$ 、出力側のドレイン電流を $I_{D2}$ とすれば、

$$I_{D1} = \mu_0 C_0 W (V_{GS3} - V_{TH3})^2 / (2L)$$

$$I_{D2} = \mu_0 C_0 W (V_{GS4} - V_{TH4})^2 / (2L)$$

となる。 $I_{D1}$ と $I_{D2}$ が等しくなれば、

$$V_{GS3} - V_{TH3} = V_{GS4} - V_{TH4}$$

$$V_{GS3} - V_{GS4} = V_{TH3} - V_{TH4}$$

従って、 $V_{TH3}$ と $V_{TH4}$ の差を本発明により小さくできれば、入出力間の差電圧はほぼ0とすることができる。

【0044】図1に薄膜トランジスタのチャネル長を $1.0\mu m$ 未満のアナログスイッチと、薄膜トランジスタのチャネル長を $1.0\mu m$ 以上 $2.0\mu m$ 以下に設定した前記アナログバッファを形成した場合の本発明の実施例を示す。図9、10に本発明のアナログバッファの薄膜トランジスタのLDD領域とオフセット領域各々について示す。

【0045】前記アナログバッファのLDD領域及びオフセット領域を、その他の回路のLDD領域及びオフセット領域より小さくするために、以下の手段を活用する。本発明では、LDD領域及びオフセット領域は陽極酸化工程により形成しているため、その形成時間をその他の回路の陽極酸化工程の形成時間より短くすることにより可能とする。以上、説明は駆動回路が相補型であるとしておこなったが、アナログバッファをソースフォロウで構成する場合は、N型またはP型のみで回路を構成することも可能である。

【0046】

12

【発明の効果】本発明によると、アクティブマトリクス型表示装置の駆動回路内部の機能毎に設計ルールを変更することにより、前記アナログバッファの出力電圧の特性のばらつきが抑えられる。前記駆動回路におけるアナログバッファのチャネル長のみに限定して言えば、理論的に前記薄膜トランジスタの設計ルールを緩くする即ち、チャネルを十分に広くすると、前記しきい値電圧 $V_{th}$ の変動量は無視できる程の値になる。しかし前記駆動回路内部の他の薄膜トランジスタの設計ルールや、回路のしめる基板上の面積との兼ね合いで、アナログバッファを構成するチャネル長をその他の回路のチャネル長の2~4倍にするのが妥当といえる。また、アナログバッファを構成する薄膜トランジスタのLDD領域またはオフセット領域を他回路のそれよりも小さくするもしくは、なくすことにより $\Delta V_{th}$ のばらつきを小さくすることができる。以上のようにして、前記アナログバッファの出力電圧の特性のばらつきが抑えられ、アクティブマトリクス型表示装置の画質及び歩留りの向上に寄与することができる。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス型表示装置の駆動回路のアナログバッファの薄膜トランジスタの実施例の図を示す。

【図2】 従来のアクティブマトリクス型表示装置の駆動回路のアナログバッファの薄膜トランジスタの図を示す。

【図3】 薄膜トランジスタのチャネル長 $L$ としきい値電圧 $V_{th}$ の関係を表した図を示す。

【図4】 従来のアクティブマトリクス型表示装置の概略図。

【図5】 従来のグレーマトリクス型の液晶素子における印加電圧と透過率の関係を表した図を示す。

【図6】 従来のアナログバッファの回路図を示す。

【図7】 相補型インバータ回路の製造法を示す。(LDD領域を持つ場合)

【図8】 相補型インバータ回路の製造法を示す。(オフセット領域を持つ場合)

【図9】 本発明による薄膜トランジスタのLDD領域の概略図を示す。

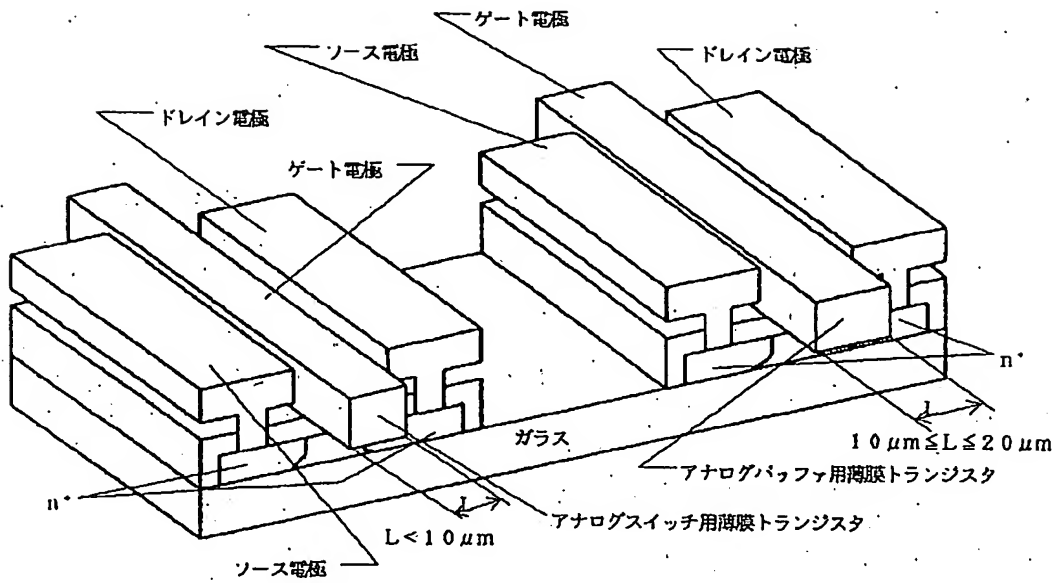
【図10】 本発明による薄膜トランジスタのオフセット領域の概略図を示す。

【図11】 LDD領域またはオフセット領域をもつ薄膜トランジスタの等価回路を示す。

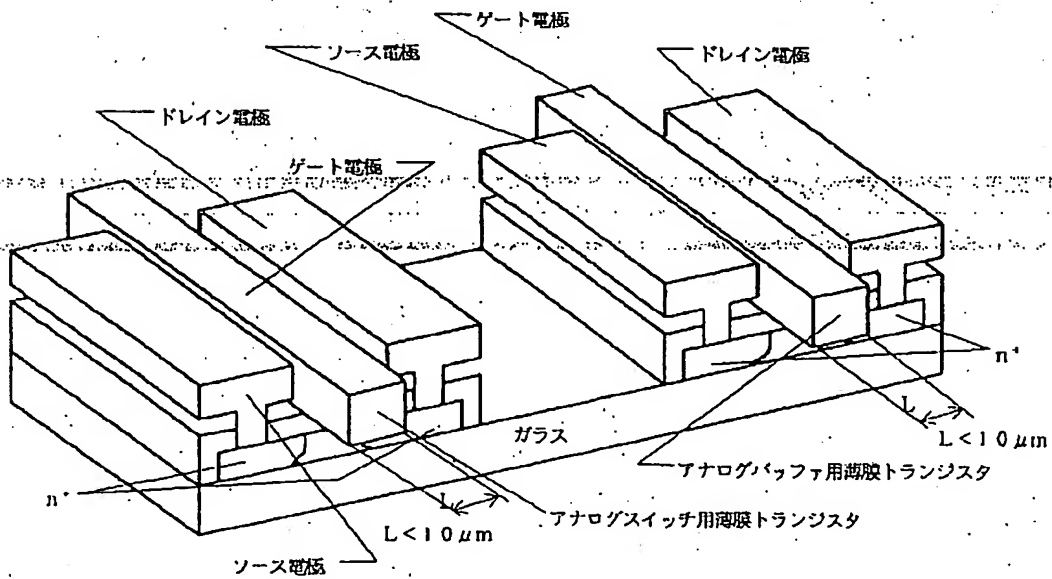
【図12】 従来のアナログバッファの回路図を示す。

(8)

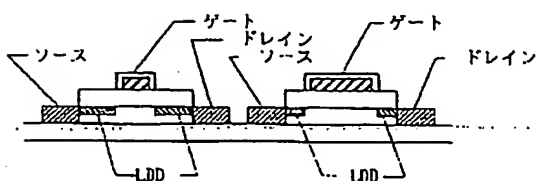
【図1】



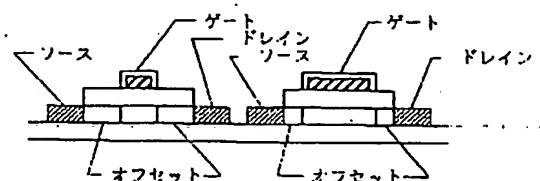
【図2】



【図9】

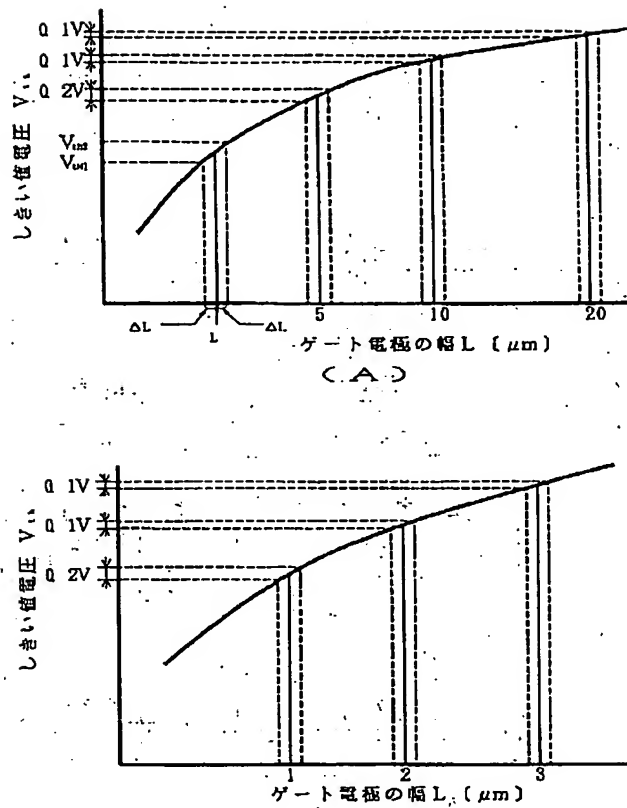


【図10】

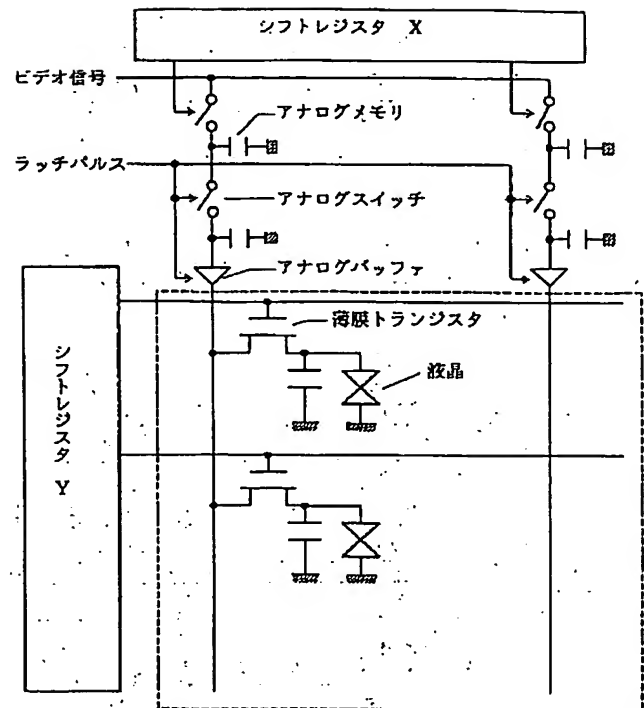


(9)

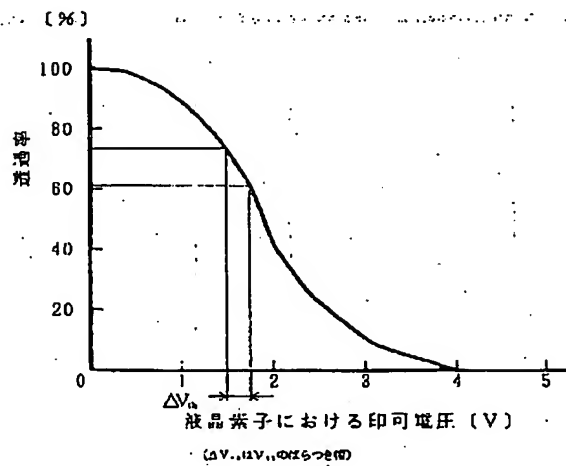
【図3】



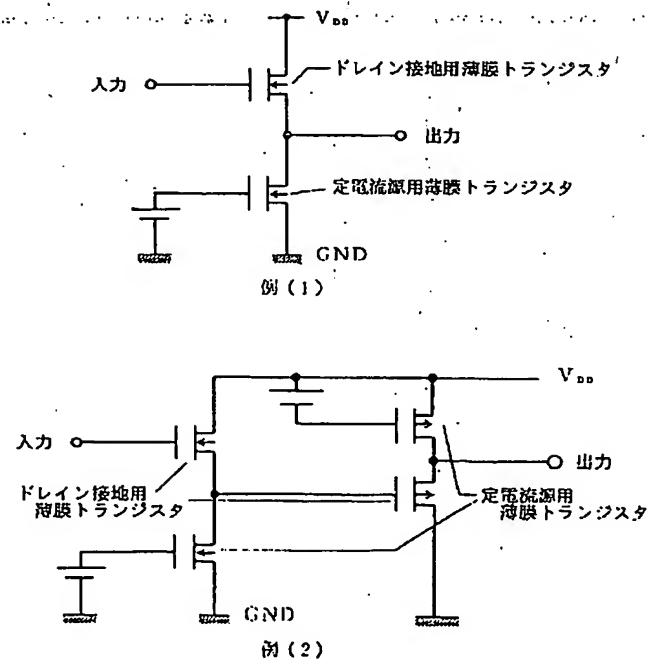
【図4】



【図5】



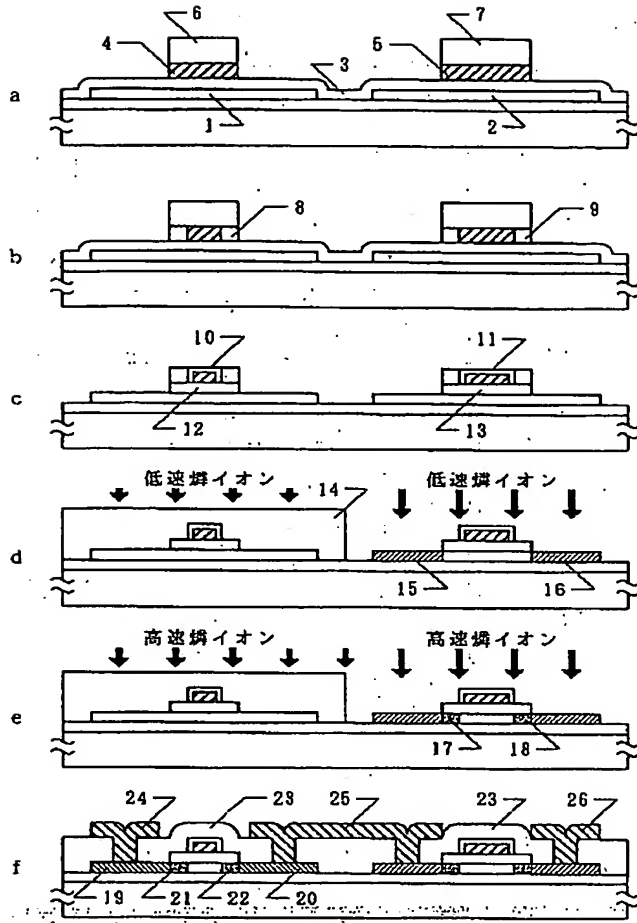
【図6】



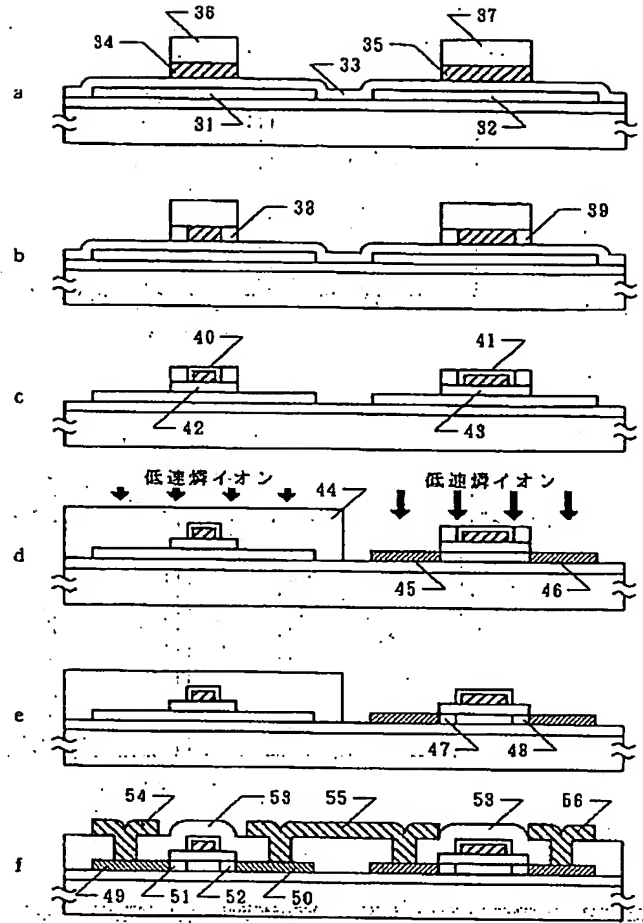


(10)

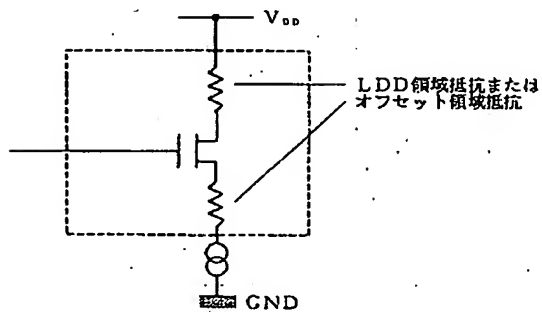
【図 7】



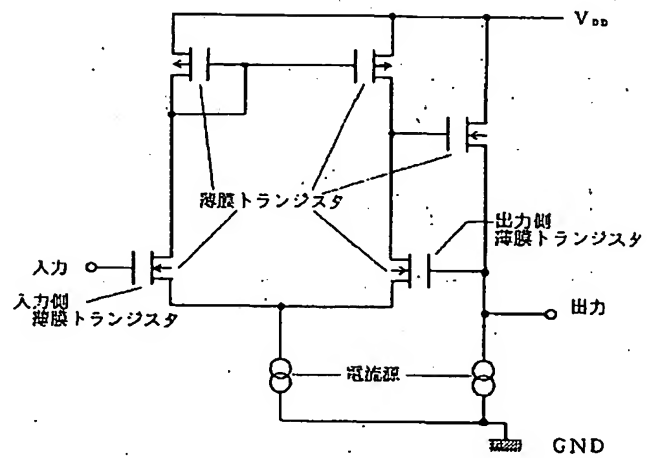
【図 8】



【図 11】



【図 12】



(11)

フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 29/786

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平7-294961  
【公開日】平成7年11月10日(1995.11.10)  
【年通号数】公開特許公報7-2950  
【出願番号】特願平6-107572  
【国際特許分類第7版】

G02F 1/136 500  
1/133 550

G09G 3/36

H01L 29/786

【FI】

G02F 1/136 500  
1/133 550

G09G 3/36

H01L 29/78 311 A  
311 S

【手続補正書】

【提出日】平成13年3月28日(2001.3.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】アクティブマトリクス型表示装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】アナログスイッチ及びアナログバッファを具備したアクティブマトリクス型表示装置において、前記アナログバッファの薄膜トランジスタのチャネル長は、前記アナログスイッチの薄膜トランジスタのチャネル長より大きいことを特徴としたアクティブマトリクス型表示装置。

【請求項2】シフトレジスタ、アナログスイッチ及びアナログバッファを具備したアクティブマトリクス型表示装置において、前記アナログバッファの薄膜トランジスタのチャネル長は、前記アナログスイッチまたはシフトレジスタの薄膜トランジスタのチャネル長より大きいことを特徴としたアクティブマトリクス型表示装置。

【請求項3】請求項1または請求項2において、前記薄膜トランジスタは、逆スタガ型薄膜トランジスタであることを特徴としたアクティブマトリクス型表示装置。

【請求項4】請求項1乃至請求項3のいずれか一において、前記アナログバッファは、ソースフォロワ型アナログバッファであることを特徴としたアクティブマトリクス型表示装置。

【請求項5】請求項4において、前記ソースフォロワ型アナログバッファの薄膜トランジスタは、N型の薄膜トランジスタもしくはP型の薄膜トランジスタのいずれか一方であることを特徴としたアクティブマトリクス型表示装置。

【請求項6】請求項1乃至請求項3のいずれか一において、前記アナログバッファは、帰還型差動増幅器を用いたアナログバッファであることを特徴としたアクティブマトリクス型表示装置。

【請求項7】請求項1乃至請求項6のいずれか一において、前記アナログバッファの薄膜トランジスタのチャネル長は、他の回路の薄膜トランジスタのチャネル長の2～4倍であることを特徴としたアクティブマトリクス表示装置。

【請求項8】請求項1乃至請求項7のいずれか一において、前記アナログバッファの薄膜トランジスタのチャネル長は、10 $\mu$ m以上であることを特徴としたアクティブマトリクス表示装置。

【請求項9】請求項1乃至請求項7のいずれか一において、前記アナログバッファ以外の薄膜トランジスタのチャネル長は、5 $\mu$ m以下であることを特徴としたアクティブマトリクス表示装置。

【請求項10】請求項1乃至請求項9のいずれか一において、前記アナログバッファの薄膜トランジスタのLDD領域の幅は、他の回路の薄膜トランジスタのLDD領域

(2)

域の幅より小さいことを特徴としたアクティブマトリクス表示装置。

【請求項 1 1】請求項 1 乃至請求項 9 のいずれかーにおいて、前記アナログバッファの薄膜トランジスタのオフセット領域の幅は、他の回路の薄膜トランジスタのオフセット領域の幅より小さいことを特徴としたアクティブマトリクス表示装置。

【請求項 1 2】請求項 1 乃至請求項 9 のいずれかーにおいて、前記アナログバッファの薄膜トランジスタ以外の薄膜トランジスタは LDD 領域を有し、前記アナログバッファの薄膜トランジスタは、LDD 領域及びオフセッ

2

ト領域を有していないことを特徴としたアクティブマトリクス表示装置。

【請求項 1 3】請求項 1 乃至請求項 1 2 のいずれかーにおいて、前記薄膜トランジスタは、相補型薄膜トランジスタであることを特徴としたアクティブマトリクス型表示装置。

【請求項 1 4】請求項 1 乃至請求項 1 3 のいずれかーにおいて、前記アクティブマトリクス型表示装置は、アクティブマトリクス型液晶表示装置であることを特徴としたアクティブマトリクス型表示装置。

10